

SEMICONDUCTOR DEVICE AND MANUFACTURE OF THE SAME

Publication number: JP10313074

Publication date: 1998-11-24

Inventor: KATSUMATA AKIO; TAKAHASHI TAKUYA

Applicant: TOKYO SHIBAURA ELECTRIC CO

Classification:

- international: H01L23/31; H01L23/485; H01L23/28; H01L23/48;
(IPC1-7): H01L23/12; H01L21/321

- european: H01L23/31H1; H01L23/485B

Application number: JP19970124112 19970514

Priority number(s): JP19970124112 19970514

Also published as:

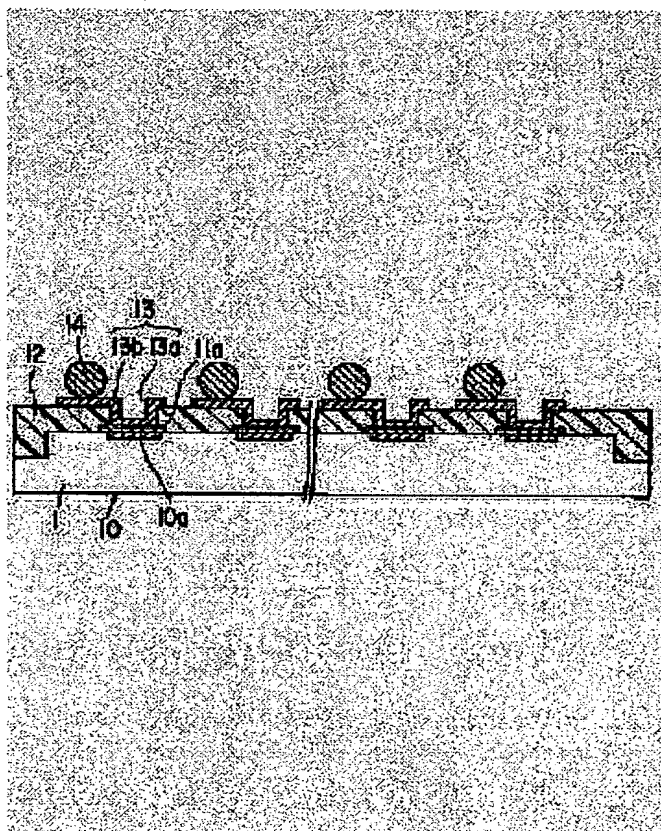


US5977641 (A1)

Report a data error here

Abstract of JP10313074

PROBLEM TO BE SOLVED: To make wiring drawn-out length from an electrode pad extremely short, to easily operate wiring drawing from an electrode pad in the neighborhood of the center of a pellet, and to facilitate countermeasures to a pellet with the large number of outside electrodes when realizing a semiconductor device in a chip size package structure. **SOLUTION:** This device is provided with a semiconductor pellet 10 equipped with a semiconductor device, wiring, plural electrode pads 10a, and a final protecting film, an insulating layer 12 used also as a sealing layer formed so that the whole face of the pellet can be covered and equipped with a via hole part corresponding to the upper part of each electrode pad, plural wiring patterns 13 having a via wiring part 13a electrically connected with the electrode pad at the bottom face part of each via hole part of the insulating layer and a land part 13b connected with the via hole wiring part 13a at a position offset from the via hole part, and a ball-shaped outside electrode 14 provided on the land part of each wiring pattern.



Best Available Copy

Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-313074

(43)公開日 平成10年(1998)11月24日

(51)Int.Cl.⁹

識別記号

F I

H 0 1 L 23/12
21/321

H 0 1 L 23/12 L
21/92 6 0 2 L
6 0 2 Z

審査請求 未請求 請求項の数10 OL (全 8 頁)

(21)出願番号 特願平9-124112

(22)出願日 平成9年(1997)5月14日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 勝又 章夫

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝多摩川工場内

(72)発明者 高橋 拓也

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝多摩川工場内

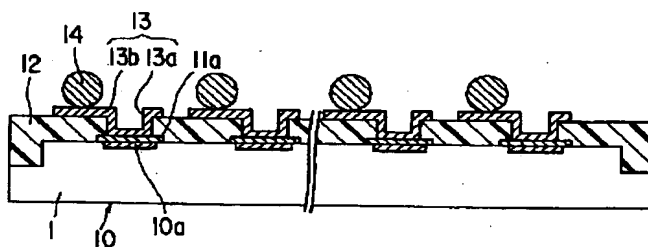
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】チップサイズパッケージ構造の半導体装置を実現する際、電極パッドからの配線引き出し長を極力短くし、ペレット中央付近の電極パッドからの配線引き出しを容易にし、外部電極数が多いペレットにも対応可能にする。

【解決手段】半導体素子、配線、複数の電極パッド10a、最終保護膜を備えた半導体ペレット10と、ペレット上の全面を覆うように形成され、各電極パッドの上方に対応してビアホール部12aを有する封止層兼用の絶縁層12と、絶縁層の各ビアホール部内の底面部で電極パッドに電気的に接続されたビアホール配線部13aおよびそれに連なるとともにビアホール部からオフセットした位置にランド部13bを有するように形成された複数の配線パターン13と、各配線パターンのランド部上に設けられたボール状の外部電極14とを具備する。



1

【特許請求の範囲】

【請求項1】 半導体素子、配線、複数の電極パッド、最終保護膜を備えた半導体ペレットと、
前記半導体ペレット上の全面を覆うように形成され、前記各電極パッドの上方に対応してビアホール部を有する封止層兼用の絶縁層と、
前記絶縁層の各ビアホール部内の底面部で前記電極パッドに電気的に接続されたビアホール配線部およびそれに連なるとともに前記ビアホール部からオフセットした位置にランド部を有するように形成された複数の配線パターンと、
前記各配線パターンのランド部に設けられたボール状の外部電極とを具備することを特徴とする半導体装置。
【請求項2】 請求項1記載の半導体装置において、
前記絶縁層の下層側で前記各電極パッドに対応してその上面を含む領域を覆うように形成され、前記ビアホール部の底面部で前記配線パターンがコンタクトするバリアメタル領域をさらに具備することを特徴とする半導体装置。
【請求項3】 請求項1または2記載の半導体装置において、
前記配線パターンは、その露出表面が防錆効果のある金属層により覆われていることを特徴とする半導体装置。
【請求項4】 請求項1乃至3のいずれか1項に記載の半導体装置において、
前記配線パターンは、そのランド部が行列状に規則的に配列されるように前記絶縁層上で引き回されていることを特徴とする半導体装置。
【請求項5】 請求項1乃至4のいずれか1項に記載の半導体装置において、
前記半導体ペレットの側面部にはペレット上面側が下面側よりも幅が段状に狭くなるように切り欠き部が形成されており、この切り欠き部が前記絶縁層により覆われていることを特徴とする半導体装置。
【請求項6】 半導体ウエハ上に半導体素子、配線、複数の電極パッド、最終保護膜を備えた複数のチップ領域を形成する工程と、
前記半導体ウエハ上にバリアメタル層を成膜し、前記各チップ領域における電極パッド上およびその周辺部の所定領域にバリアメタルを選択的に残すようにエッチングを行う工程と、
この後、前記半導体ウエハの各チップ領域間に基板厚さの途中までの深さを有するライン溝を形成する工程と、
前記バリアメタルの配列に対応してビアホール用の開口部を有する封止層兼用の絶縁層を形成する工程と、
この後、前記ビアホール用の開口部の底面部で前記バリアメタルにコンタクトするビアホール配線部およびそれに連なるとともに前記ビアホール部からオフセットした位置で行列状の規則的に配列されたランド部を有する配線パターンを形成する工程と、

2

前記配線パターンのランド部上にボール状の外部電極を取り付ける工程と、
前記ライン溝の中心線付近に沿ってダイシングソーによりカッティングを行うことによりボールグリッドアレイ電極を有するチップサイズパッケージ構造の半導体装置に分割する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項7】 請求項6記載の半導体装置の製造方法において、

10 前記封止層兼用絶縁層を形成する工程は、前記ビアホール用の開口部がパンチング法により形成された熱硬化性エポキシテープを前記半導体ウエハ上に熱圧着法により貼り付けることを特徴とする半導体装置の製造方法。

【請求項8】 請求項7記載の半導体装置の製造方法において、

前記熱硬化性エポキシテープに金属のコア材を追加することを特徴とする半導体装置の製造方法。

【請求項9】 請求項6記載の半導体装置の製造方法において、

20 前記封止層兼用絶縁層を形成する工程は、前記半導体ウエハ上に感光性エポキシ等の液体材料をコーティングした後、フォトリソグラフィ法を用いたパターンニングにより前記ビアホール用の開口部を形成することを特徴とする半導体装置の製造方法。

【請求項10】 請求項6記載の半導体装置の製造方法において、

30 前記配線パターンを形成する工程は、無電解メッキ法により半導体ウエハ上の全面にCuメッキを施し、フォトリソグラフィ法を用いて所定のCuパターンを残すようにエッチングを行った後、電解メッキ法によりCuパターン上にAu/Niの金属層を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置およびその製造方法に係り、特にウエハ状態で個々のチップ領域の樹脂封止から外部電極形成までがなされたウエハスケールパッケージ構造の半導体装置から分割されたチップサイズパッケージ構造の半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 近年、携帯電子機器の普及に伴う小型化競争の激化、あるいは、コンピュータ機器の高速化に伴い、それに搭載する半導体装置との配線の長さを短くして信号伝搬遅延量を削減するために、チップサイズパッケージと称されるペレットサイズ（それより若干大きなサイズも含む）の半導体パッケージを有する半導体装置の開発が盛んに行われている。

50 【0003】 図9は従来のチップサイズパッケージ構造の半導体装置の一例を概略的に示す斜視図、図10は図

3

9の半導体装置の周辺部を拡大して一例を概略的に示す断面図である。

【0004】図9および図10において、80は半導体基板1上に半導体素子、配線、電極パッド、最終保護膜などが形成された状態の半導体ペレット、2は前記ペレット80の最終保護膜上の周辺部以外の部分を覆うように接着されたテープ絶縁層、3は前記テープ絶縁層2上に形成された複数の配線パターンであり、その一部は前記半導体ペレットに形成されている複数の電極パッドの一部に電気的に接続されている。

【0005】6は前記配線パターン3の一部上に電気的に接続された状態で設けられているボール状の半田からなる外部電極である。8は前記ペレット80のテープ絶縁層2で覆われていない周辺部に形成されている電極パッド7とその近傍の前記テープ絶縁層2上の配線パターン3との間を接続するボンディングワイヤー、9は前記ボンディングワイヤー8とその両端がボンディング接続されている電極パッド7および配線パターン3を封止するようにポッティングされて硬化された樹脂である。

【0006】上記したようなチップサイズパッケージ構造の半導体装置は、ペレット80からの配線の引き出しをペレット周辺部の配線パターン3からボンディングワイヤー8により引き出しているため、ペレット中央付近の電極パッド7からの配線引き出し長が長くなってしまい、信号遅延の原因となる。

【0007】また、ペレット80の周辺部からのみ配線を引き出すように制限されており、配線パターン3の配線幅／配線間隔の制約により最大ピン数（外部電極6の最大数）が決まるので、小型で外部電極数が多いペレットには対応できないという問題がある。

【0008】さらに、ペレット上の配線引き出し領域には外部電極6を設けることができず、外部電極間隔を小さくする必要があり、チップサイズパッケージ構造の半導体装置をプリント回路基板に実装する場合の半田接続の難易度が上がる。

【0009】一方、ペレットサイズの半導体装置を製造する際、ウエハー状態で個々のチップ領域（ペレット領域）の樹脂封止から外部電極形成までを行ってウエハースケールパッケージ構造の半導体装置を製造した後、ペレットサイズの個々の半導体装置単体に分割（切断）する手法が提案されている。

【0010】このような製造方法によれば、製造工程を簡略化でき、安価で小型なチップサイズパッケージ構造の半導体装置を実現することができるが、より信頼性を向上させ、コストを削減することが要望されている。

【0011】

【発明が解決しようとする課題】上記したように従来のチップサイズパッケージ構造の半導体装置は、ペレット中央付近の電極パッドからの配線引き出し長が長くなってしまい、信号遅延の原因となる、小型で外部電極数が

4

多いペレットには対応できない、プリント回路基板に実装する場合の半田接続の難易度が上がるという問題があった。

【0012】本発明は上記の問題点を解決すべくなされたもので、ペレットサイズの外形、パッケージの厚さを従来と同等に維持したまま、電極パッドからの配線引き出し長を極力短くすることが可能になり、ペレット中央付近の電極パッドからの配線引き出しが容易になり、外部電極間隔を必要以上に小さくすることなく、外部電極数が多いペレットにも対応可能になるチップサイズパッケージ構造を実現し得る半導体装置およびその製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明の半導体装置は、半導体素子、配線、複数の電極パッド、最終保護膜を備えた半導体ペレットと、前記半導体ペレット上の全面を覆うように形成され、前記各電極パッドの上方に対応してビアホール部を有する封止層兼用の絶縁層と、前記絶縁層の各ビアホール部内の底面部で前記電極パッドに電気的に接続されたビアホール配線部およびそれに連なるとともに前記ビアホール部からオフセットした位置にランド部を有するように形成された複数の配線パターンと、前記各配線パターンのランド部上に設けられたボール状の外部電極とを具備することを特徴とする。

【0014】また、本発明の半導体装置の製造方法は、半導体ウエハ上に半導体素子、配線、複数の電極パッド、最終保護膜を備えた複数のチップ領域を形成する工程と、前記半導体ウエハ上にバリアメタル層を成膜し、前記各チップ領域における電極パッド上およびその周辺部の所定領域にバリアメタルを選択的に残すようにエッチングを行う工程と、この後、前記半導体ウエハの各チップ領域間に基板厚さの途中までの深さを有するライン溝を形成する工程と、前記バリアメタルの配列に対応してビアホール用の開口部を有する封止層兼用の絶縁層を形成する工程と、この後、前記ビアホール用の開口部の底面部で前記バリアメタルに接続されるとともに前記テープ絶縁層上における前記ビアホール部からオフセットした位置で行列状の規則的に配列されたランド部を有する配線パターンを形成する工程と、前記配線パターンのランド部上にボール状の外部電極を取り付ける工程と、前記ライン溝の中心線付近に沿ってダイシングソーによりカッティングを行うことによりボールグリッドアレイ電極を有するチップサイズパッケージ構造の半導体装置に分割する工程とを具備することを特徴とする。

【0015】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。図1は、本発明の第1の実施の形態に係るウエハースケールパッケージ構造の半導体装置から個々に分割されたチップサイズパッケージ構造の半導体装置の一例を概略的に示す斜視図、図2は図

10

20

30

40

50

5

1の半導体装置の周辺部を拡大して一例を概略的に示す断面図である。

【0016】10は半導体基板（例えばシリコン基板）上に半導体素子、配線、最終保護膜などが形成された状態の半導体ペレットである。11aは前記ペレット10の最終保護膜の複数の開口部下にそれぞれ存在する例えばAlSiCuならなる電極パッド10aに対応してその上面を含む一定領域を覆うように例えばTi/Niが積層されてなる複数のバリアメタルである。

【0017】12は前記各バリアメタル11aおよび最終保護膜上の全面を覆うように形成された封止層兼用の絶縁層であり、前記各バリアメタル11aに対応してビアホール部を有する。本例では、前記絶縁層12は、前記複数のバリアメタル11aの配列に対応してビアホール部がパンチング法により形成された熱硬化性エポキシテープが熱圧着法により貼り付けられたものである。

【0018】13は前記絶縁層12上に厚膜法あるいは薄膜法により形成された複数の配線パターンであり、それぞれ対応して前記絶縁層12のビアホール部内に形成されたビアホール配線部13aおよび前記バリアメタル11aを介して電極パッド10aに電気的に接続されている。本例では、前記配線パターン13は、例えばAu/Ni/Cuの3層構造の配線からなる。

【0019】14は前記配線パターン13のうちで前記ビアホール部からオフセットした位置のランド部13bに設けられている半田ボール（ボール状の半田）からなる外部電極であり、例えば図1に示すように行列状に規則的に配列されている。

【0020】なお、前記ペレット10に形成されているデバイスの種類（メモリ、ロジックなど）によって電極パッド10aの配列が異なる場合でも、デバイスの種類に関係なく前記ランド部13bおよびその上の外部電極16の配列を標準化するように、前記絶縁層12上に配線パターン13を引き回すことが可能である。

【0021】上記したようなチップサイズパッケージ構造の半導体装置によれば、半導体ペレット10上の全面を覆うように形成され、ペレット上の各電極パッド10aの上方に対応してビアホール部を有する封止層兼用の絶縁層12と、前記絶縁層12の各ビアホール部内の底面のバリアメタル11aを介して電極パッドに電気的に接続されたビアホール配線部13aおよびそれに連なるとともに前記ビアホール部からオフセットした位置にランド部13bを有するように形成された複数の配線パターン13と、各配線パターンのランド部13b上に設けられたボール状の外部電極14とを具備するので、ペレット上の電極パッド10aと外部電極14との接続部を平面的に配置することが可能である。

【0022】従って、ピン数が従来例のチップサイズパッケージ構造の半導体装置と同じ場合には、従来例の半導体装置と比べて外部電極間隔をより大きく設定するこ

6

とができる。これにより、半導体装置を実装する印刷配線回路板の製作時の負担を軽くするほか、耐熱サイクルの信頼性が向上するという効果がある。

【0023】また、従来例のチップサイズパッケージ構造の半導体装置と比べて、外部電極14の間隔が従来例のチップサイズパッケージ構造の半導体装置と同じ場合には、従来例の半導体装置と比べてピン数をより多く設けることができる。

【0024】さらに、従来例のチップサイズパッケージ構造の半導体装置で必要としたポッティング樹脂による電極パッド部の封止工程も省略できるので、工程数の削減、コストの削減が可能になる。

【0025】また、一般的に用いられる高温放置等の信頼性向上を目的とした高温プロセスの必要があるバリアメタルを絶縁層の下に配置しているので、絶縁層は製造工程中で約200℃を越える高温にさらされることがなく、絶縁層の材料選択の幅が拡大する効果がある。材料選択の幅が広がると、高信頼性、低誘電率など高性能半導体装置に求められる性能の実現を容易に、かつ、低コストで実現することができる。

【0026】また、バリアメタル11aを絶縁層の下に配置するので、より平坦に近い状態でバリアメタルを形成することが可能になり、バリアメタルの厚さをより均一に形成することができ、信頼性が向上する。

【0027】また、配線パターン13は、その露出部分が防錆効果のある金属層で覆われている2層以上の金属層により形成しているので、低抵抗、高信頼性、良好な半田濡れ性を確保することができる。

【0028】また、個々のペレットの表面および最終保護膜側面が樹脂封止層により覆われている（換言すれば、ペレットの側面部にはペレット上面側が下面側よりも幅が段状に狭くなるように切り欠き部が形成されており、この切り欠き部が前記封止層兼用の絶縁層12により覆われている）ので、外部からチップ領域の素子形成部までの水分侵入経路が長くなり、耐湿信頼性が向上する。

【0029】次に、前記チップサイズパッケージ構造の半導体装置に分割される前のウエハスケールパッケージ構造の半導体装置の製造工程の実施例について図面を参照しながら説明する。

【0030】（製造工程の実施例1）（図3乃至図4）まず、図3（a）に示すように、半導体ウエハ（基板）1上に、半導体素子、配線、最終保護膜などを形成した後、スパッタリング法により例えばTi/Niの2層構造からなるバリアメタル11を成膜する。

【0031】これにより、前記最終保護膜の開口部下に存在する例えばAlSiCuならなる電極パッド10a上にバリアメタル11が薄く積層されることになる。この後、図3（b）に示すように、フォトリソグラフィ法を用いてレジストパターン21を形成する。

50

7

【0032】そして、図3(c)に示すように、複数の所定領域(前記各電極パッド10a上およびその周辺部)にバリアメタル11を選択的に残すようにエッチングを行い、前記レジストパターン21を除去する。この後、半導体ウエハ1の各チップ領域間に基板厚さの途中までの深さを有するハーフカット状のライン溝10bを形成する。

【0033】次に、図4(a)に示すように、前記複数のバリアメタル11の配列に対応してビアホール用の開口部12aがバンチング法により形成された熱硬化性エポキシテープを熱圧着法により貼り付けることにより、封止層兼用の絶縁層12を形成する。これにより、個々のチップ領域の表面および最終保護膜側面が絶縁層12により覆われる。なお、高信頼性が要求される場合には、前記熱硬化性エポキシテープに金属のコア材を追加すると効果的である。

【0034】次に、図4(b)に示すように、無電解メッキ法により半導体ウエハ1上の全面にメッキ法によりCu膜22を形成した後、フォトリソグラフィ法を用いてレジストパターン23を形成する。

【0035】そして、前記絶縁層12の開口部12a内およびその周辺部にCuパターンを選択的に残すようにエッチングを行う。さらに、上記Cuパターンの腐蝕を防止するために、電解メッキ法によりCuパターン上にAu/Niの金属層を形成し、前記レジストパターン23を除去する。

【0036】これにより、図4(c)に示すように、前記絶縁層12の開口部12a内およびその周辺部にAu/Ni/Cuの3層構造の配線パターン13が形成される。この配線パターン13は、前記絶縁層12の各ビアホール部内の底面部で前記バリアメタル11にコンタクトすることによって電極パッド10aに電気的に接続されたビアホール配線部13aおよびそれに連なるとともに前記ビアホール部からオフセットした位置にランド部13bを有する。この場合、前記ランド部13bが例えば図1に示したように行列状の規則的な配列となるように形成する。

【0037】次に、図4(c)に示すように、前記配線パターン13のランド部13b上に外部電極用の半田ボール(材質は限定されない)14を取り付けることにより、ウエハスケールパッケージ構造の半導体装置を実現する。

【0038】この後、図4(c)中に点線で示すように、前記ハーフカット状のライン溝の中心線付近に沿ってダイシングソーによりカッティングを行う。これにより、BGA(ボールグリッドアレイ)電極を有するチップサイズパッケージ構造の半導体装置に分割する。

【0039】上記実施例1の製造工程によれば、前記したような本発明の半導体装置(つまり、半導体ベレット10上の全面を覆うように形成され、ベレット上の各電

8

極パッド10aの上に対応してビアホール部を有する封止層兼用の絶縁層12と、絶縁層の各ビアホール部内の底面部で前記電極パッドに電気的に接続されたビアホール配線部13aおよびそれに連なるとともにビアホール部からオフセットした位置にランド部13bを有するように形成された複数の配線パターン13と、各配線パターン13のランド部13b上に設けられたボール状の外部電極14とを具備する。)を効率よく製造することが可能になる。

10 【0040】(製造工程の実施例2) 実施例2の製造工程では、前記実施例1の製造工程と比べて、封止層兼用の絶縁層12を形成するためのテープ貼り付け工程の代わりに、感光性エポキシ等の液体材料をコーティングして絶縁層を形成した後、フォトリソグラフィ法を用いたパターンニングにより前記絶縁層にビアホール用の開口部を形成する点が異なり、その他はほぼ同じであるのでその説明を省略する。

20 【0041】このようにウエハ状態で絶縁層にビアホール用の開口部を形成することにより、ビアホール用の開口部の位置の合わせ精度が向上し、配線パターン層のより微細なパターン形成が可能になる。

【0042】(製造工程の実施例3) (図5、図6) まず、図5(a)に示すように、半導体ウエハ1上に、半導体素子、配線、最終保護膜などを形成した後、スパッタリング法により例えばTi/Niの2層構造からなるバリアメタル11を成膜する。これにより、前記最終保護膜の開口部下に存在する例えばAlSiCuならなる電極パッド10a上にバリアメタル11が薄く積層されることになる。

30 【0043】次に、図5(b)に示すように、フォトリソグラフィ法を用いてレジストパターン21を形成する。そして、図5(c)に示すように、複数の所定領域(前記各電極パッド10a上およびその周辺部)にバリアメタル11を選択的に残すようにエッチングを行い、前記レジストパターン21を除去する。

【0044】次に、図6(a)に示すように、前記各バリアメタル11上に所定の厚さの金属バンパ(例えば半田バンパ)51を形成する。この後、図6(b)に示すように、半導体ウエハ1の各チップ領域間に基板厚さの途中までの深さを有するハーフカット状のライン溝10bを形成する。なお、このライン溝形成工程は、前記半田バンパ51を形成する工程の前に行ってもよい。

【0045】この後、図6(c)に示すように、半導体ウエハ1上に樹脂封止用の絶縁性樹脂をスピンコーティングした後、硬化させる。これにより、個々のチップ領域の表面および最終保護膜側面が樹脂封止層52により覆われる。

【0046】この後、図6(d)に示すように、樹脂封止層52の表面を例えば機械的に研磨して前記半田バンパ51の上面を露出させる。この後、図6(e)に示す

50

9

ように、前記半田バンプ51上に外部電極用の半田ボール53を取り付けることによりBGA電極を形成する。

【0047】この後、前記ハーフカット状のライン溝の中心線付近に沿ってダイシングソーによりカッティングを行うことにより、図6(f)に示すような概略的な断面構造を持つチップサイズパッケージ構造の半導体装置に分割する。

【0048】また、ハーフカット状のライン溝10bの中心線付近に沿ってカッティングを行って個々に分割されたチップサイズパッケージ構造の半導体装置は、製造工程の実施例1で述べたと同様に、ペレットの側面部にはペレット上面側が下面側よりも幅が段状に狭くなるように切り欠き部が形成されており、この切り欠き部が前記封止層兼用の絶縁層により覆われているので、外部からチップ領域の素子形成部までの水分侵入経路が長くなり、耐湿信頼性が向上する。

【0049】なお、図6(d)に示したように半田バンプ51の上面を露出させた後、半田バンプ51上に半田ボール53を取り付ける前に、例えば図4(a)乃至(b)に示した工程と同様の工程により、前記樹脂封止層12上でビアホール部からオフセットした位置に例えば図1に示したような行列状の規則的な配列となるようにランド部13bを有する配線パターン13を形成しておき、このランド部13b上に半田ボール53を取り付けるようにしてもよい。

【0050】また、図6(e)に示したように半田バンプ51上に外部電極用の半田ボール53を取り付ける工程の2つの具体例を、図7(a)、(b)および図8(a)、(b)に示している。

【0051】即ち、図7(a)、(b)に示す工程は、半導体ウエハ1上に半田フラックス61を塗布した後に半田ボール53をマウントし、リフローを行って半田バンプ51に半田ボールを接続させる。

【0052】また、図8(a)、(b)に示す工程は、半導体ウエハ1上に半田マスク71を設けてスクリーン印刷により半田ペースト72を供給し、リフローを行って半田ボール53を形成する。

【0053】

【発明の効果】上述したように本発明の半導体装置およ

10

びその製造方法によれば、ペレットサイズの外形、パッケージの厚さを従来と同等に維持したまま、電極パッドからの配線引き出し長を極力短くすることが可能になり、ペレット中央付近の電極パッドからの配線引き出しが容易になり、外部電極間隔を必要以上に小さくすることなく、外部電極数が多いペレットにも対応可能になるチップサイズパッケージ構造を実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るチップサイズパッケージ構造の半導体装置の一例を概略的に示す斜視図。

【図2】図1の半導体装置の周辺部を拡大して一例を概略的に示す断面図。

【図3】図1のチップサイズパッケージ構造の半導体装置の製造工程の実施例1の一部を示す断面図。

【図4】図3の工程に続く工程を示す断面図。

【図5】本発明の第2の実施の形態に係るチップサイズパッケージ構造の半導体装置の製造工程の実施例2の一部を示す断面図。

【図6】図5の工程に続く工程を示す断面図。

【図7】図6に示した工程において半田ボールを取り付ける方法の一例を示す断面図。

【図8】図6に示した工程において半田ボールを取り付ける方法の他の例を示す断面図。

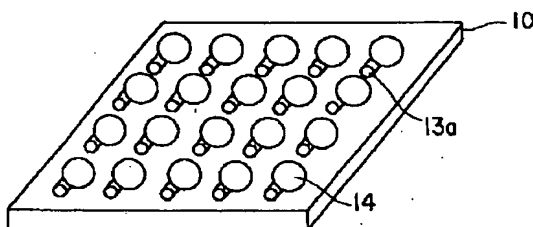
【図9】従来のチップサイズパッケージ構造の半導体装置の一例を概略的に示す斜視図。

【図10】図9の半導体装置の周辺部を拡大して一例を概略的に示す断面図。

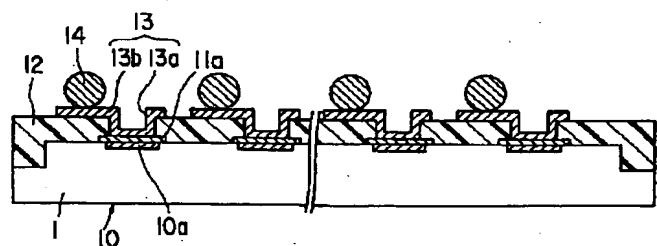
【符号の説明】

- 1…半導体ウエハ、
- 10…半導体ペレット、
- 10a…電極パッド、
- 11…バリアメタル、
- 12…封止層兼用の絶縁層、
- 12a…ビアホール部、
- 13…配線パターン、
- 13a…ビアホール配線部、
- 13b…ランド部、
- 14…外部電極。

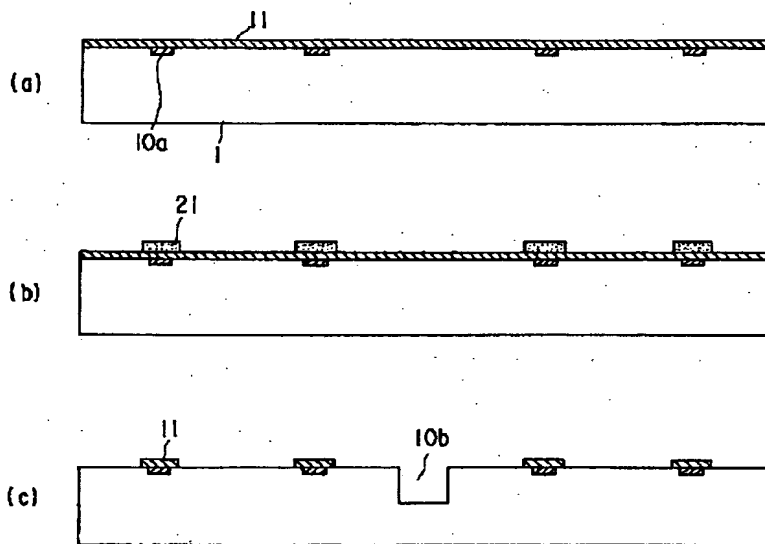
【図1】



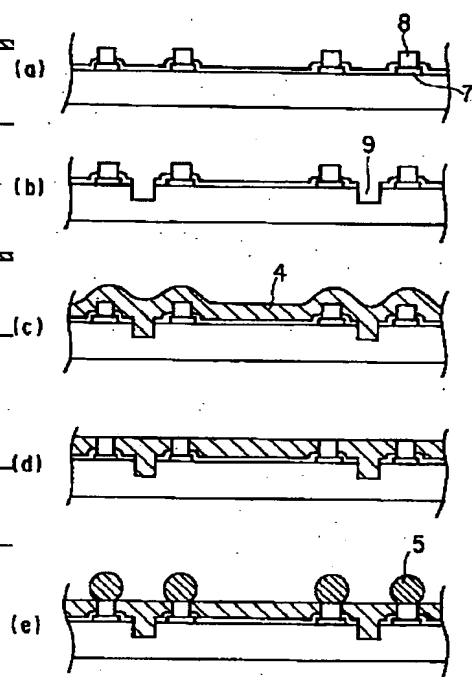
【図2】



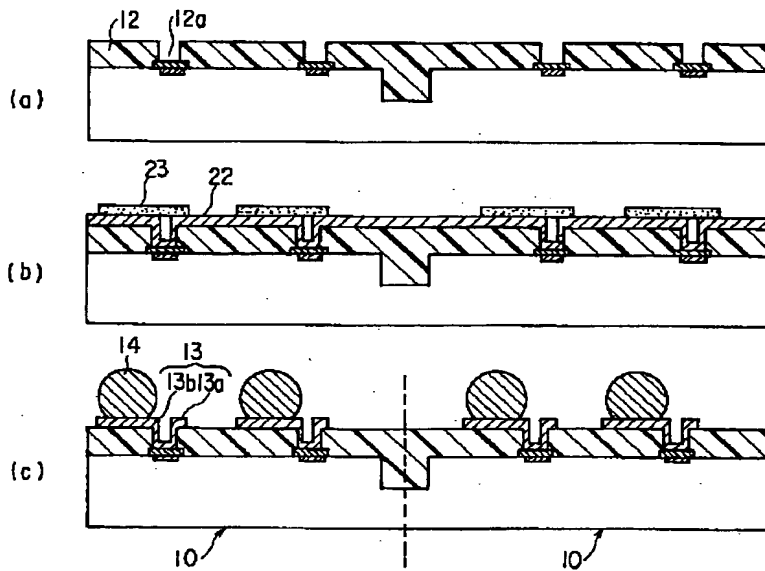
【図 3】



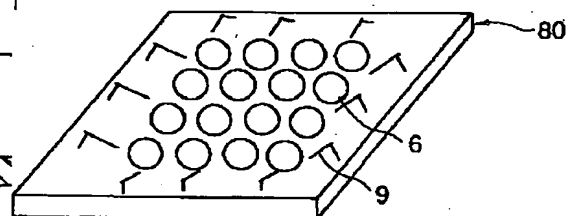
【図 6】



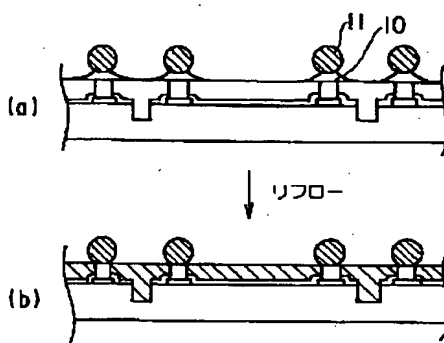
【図 4】



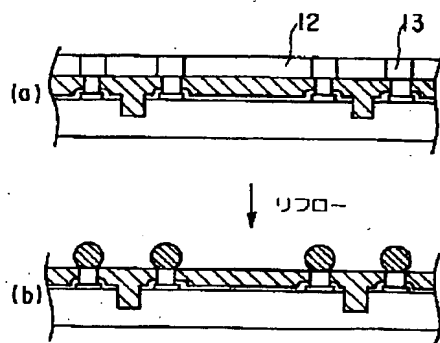
【図 9】



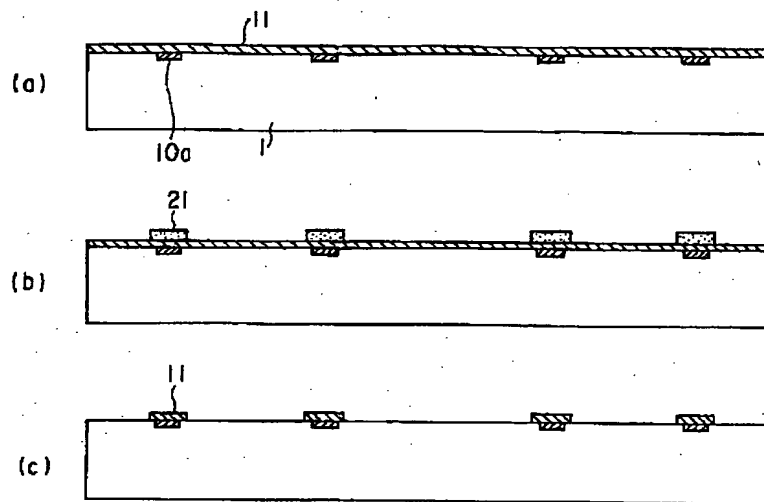
【図 7】



【図 8】



【図 5】



【図 10】

